
Gliederung

0.	Einleitung	7
0.1.	Historisches Stichwort	7
0.1.1.	Mechanische Rechner	7
0.1.2.	Elektromechanische Rechner	8
0.1.3.	Elektromechanische Rechner der ersten Generation - Röhrenrechner	9
0.1.4.	Rechner der zweiten Generation (1955-1964) - Transistorrechner	10
0.1.5.	Rechner der dritten Generation (1965-1974) - integrierte Gatter als Bausteine	10
0.1.6.	Rechner der vierten Generation (1975 - heute)	11
0.2.	Treibende Technologie	13
1.	Abwicklung sequentieller digitaler Prozesse	17
1.1.	Von-Neumann- und Wegener-Maschine	17
1.1.1.	Von-Neumann-Maschine	17
1.1.2.	Wegener-Maschine	19
1.2.	Eine primitive Maschine als Beispiel	22
1.3.	Zeitliche Struktur der Befehlsabarbeitung	25
1.4.	Struktur eines Abwicklers	26
1.4.1.	Normale Befehlsfortschaltung	26
1.4.2.	Haltbefehl	27
1.4.3.	Asynchroner Reset	27
1.4.4.	Unbedingte Sprünge	27
1.4.5.	Bedingte Sprünge	28
1.4.6.	Unterprogrammssprünge (call)	29
1.4.7.	Rücksprungbefehl (return)	30
1.4.8.	Interrupts (asynchrone Ereignisse)	31
1.4.9.	Ein konkretes Beispiel für einen Sequencer	32
1.5.	Eine einfache Maschine	36
1.6.	Ein Beispielprogramm	39
1.7.	Princeton- und Harvard-Architektur	41
1.8.	Beschreibungsebenen und -modelle bei digitalen Prozessen	43
1.8.1.	Programmebene	43
1.8.2.	Register-Transfer-Ebene (oder R-T-Ebene)	44

1.8.3.	Steuersignalebene	46
1.8.4.	Befehlsinterpretationsebene	47
2.	Maschinenmodelle	53
2.1.	Interpretative Modelle	53
2.2.	Schaltwerksorientierte Modelle	54
2.2.1.	Schaltwerk als Steuerwerk	54
2.2.2.	ASM-Karten	56
2.3.	Geschachtelte Maschinen	61
2.3.1.	Maschinenhierarchien	61
2.3.2.	Taktung geschachtelter Maschinen	63
2.3.3.	Beispiel: Interpretation eines Programmes	67
2.4.	DLX-Maschine	72
2.4.1.	Befehlsstruktur	72
2.4.2.	Datenpfade und innerer Aufbau der DLX	77
2.4.3.	Befehlsausführung der DLX-Maschine	80
2.4.4.	Zustandsdiagramme der Befehlsabarbeitung	81
2.4.4.1.	Abarbeitung auf der obersten Ebene	81
2.4.4.2.	Datentransportbefehle	82
2.4.4.3.	Datenbearbeitende Befehle	83
2.4.4.4.	Verzweigungsbefehle	84
2.4.4.5.	Vergleichsbefehle	84
2.4.4.6.	Sprungbefehle	85
2.4.5.	Codierung des OP-Code-Teils des Befehls	86
2.4.6.	Beschleunigung der DLX-Maschine	87
3.	Steuerungstypen	89
3.1.	Codierte Steuerungen	90
3.1.1.	Mealy-Automat	90
3.1.2.	Speicherautomat	92
3.2.	Mikroprogrammierte Steuerungen	94
3.2.1.	Horizontale Mikroprogrammierung	94
3.2.2.	Vertikale Mikroprogrammierung	96
3.3.	Verteilte Steuerungen	98
3.3.1.	Synchrone verteilte Steuerung	98
3.3.2.	Asynchrone verteilte Steuerung	99
3.3.3.	Speicherprogrammierte Steuerung (SPS)	100

4.	Rechenwerke	103
4.1.	Festkommarechenwerke	104
4.1.1.	Operationen auf Ganzzahlen	104
4.1.2.	Operationen auf Bitfolgen	105
4.2.	Gleitkommarechenwerk	107
4.2.1.	IBM-Format	107
4.2.2.	IEEE -754 Standard	108
4.2.3.	Rechnen mit GK-Zahlen	109
4.2.4.	Rechnen mit langem Akkumulator (Acryth-Rechner, IBM)	111
4.3.	Adressrechenwerk	113
4.4.	Registerstrukturen	113
4.4.1.	Ein Satz allgemeiner Register	114
4.4.2.	Separate Daten- und Adressregister	114
4.4.3.	Mehrere Registerbänke	117
4.4.4.	Registerband	117
5.	Ein- Ausgabeeinheiten	121
5.1.	(Externer) Bus	121
5.2.	Einfaches Interface	122
5.3.	Interface mit direktem Speicherzugriff (DMA)	124
6.	Synchronisation und Busvergabe	127
6.1.	Synchronisation	127
6.1.1.	Synchronisation durch gemeinsamen Takt	127
6.1.2.	Synchronisation über eigene Synchronisationsleitungen	130
6.1.2.1.	Einwegkommandos	130
6.1.2.2.	Quittungsverfahren	131
6.1.3.	Synchronisation über Zwischenpuffer	134
6.1.3.1.	Synchronisation über eine Warteschlange	135
6.1.3.2.	Synchronisation von Ein/Ausgabe	137
6.2.	Busvergabe	141
6.2.1.	Hardwaregestützte Busvergabe	141
6.2.1.1.	Zentrale verkettete Busvergabe (daisy chaining)	142
6.2.1.2.	Zentrale Busvergabe durch Anrufsuche (polling)	143
6.2.1.3.	Zentrale Busvergabe mit unabhängigem Zugriff (independent request)	145
6.2.1.4.	Dezentrale Busvergabe mit Verkettung (daisy chaining)	146
6.2.1.5.	Dezentrale Busvergabe mit Anrufsuche (polling)	148
6.2.1.6.	Dezentrale Busvergabe mit unabhängigem Zugriff (independent request)	149
6.2.2.	Semaphore und Monitor	150
6.2.3.	Vergabe des Zugriffs auf serielle Kommunikationsverbindungen	151

6.2.3.1.	CSMA/CD	151
6.2.3.2.	Token Ring	151
6.2.3.3.	Slotted Ring (Zeitschlitzverfahren)	152
7.	Datenübertragung zwischen Rechnern	153
7.1.	ISO-7-Schichtenmodell	153
7.2.	Physikalische Schicht (physical layer)	155
7.2.1.	Leitungen	155
7.2.2.	Stecker und Abzweigungen	159
7.2.3.	Darstellung von 0 und 1	160
7.3.	Datenverbindungsschicht (data link layer)	161
7.3.1.	Art der Verbindung	161
7.3.2.	Zugriffsart auf die Leitungen	162
7.3.3.	Vergabe der Leitungen	163
7.3.4.	Verpackung der Daten und Datensicherung	164
7.3.4.1.	Synchron-seriell	164
7.3.4.2.	Asynchron-seriell	165
7.3.4.3.	Synchron-parallel	166
7.4.	Netzwerk-Schicht (network layer) oder Vermittlungsschicht	167
7.5.	Transportschicht (transport layer)	167
7.6.	Netzarten	168
7.6.1.	Rechnersystembusse	168
7.6.2.	Feldbereichsnetze (field area network, FAN)	168
7.6.3.	Nahbereichsnetze (local area network, LAN)	168
7.6.4.	Weitverkehrsnetze (wide area network, WAN)	170
8.	Speicherorganisation	171
8.1.	Klassifikation von Speichern	171
8.2.	Physikalische Adressierung	172
8.2.1.	Halbleiterspeicher	172
8.2.2.	Physikalische Adressierung eines Plattenspeichers	174
8.3.	Speicherhierarchie	176
8.4.	Logische Adressierung	176
8.4.1.	Seiten	176
8.4.2.	Segmente	177
8.5.	Adressumrechnung	179
8.5.1.	Umrechnung der logischen Adresse in die physikalische Adresse ohne Cache	180
8.5.1.1.	Zugriff auf Assoziativspeicher in der MMU	180
8.5.1.2.	Maßnahmen im Betriebssystem bei einem Seitenfehler (page fault)	181
8.5.2.	Verdrängen einer Seite aus dem Hauptspeicher	183
8.5.3.	Aufgaben der Speicherverwaltungseinheit (MMU)	184

8.6.	Cache	186
8.6.1.	Lesezugriff	186
8.6.2.	Schreibzugriff	187
8.6.3.	Einfach assoziativer Cache	188
8.6.4.	n-fach assoziativer Cache	189
8.6.5.	Vollasoziativer Cache	190
9.	Befehlspipelining	191
9.1.	Aufbau einer Pipeline	191
9.2.	Hazards	193
9.2.1.	Struktur-Hazards	193
9.2.2.	Daten-Hazards	193
9.2.2.1.	Scoreboard	194
9.2.2.2.	Bypasseinheit in der ALU	194
9.2.2.3.	Umordnen von Befehlen	196
9.2.3.	Steuer-Hazards	196
9.2.3.1.	Zwei parallele Pipelines	196
9.2.3.2.	Intelligentes Raten	196
9.2.3.3.	Compiler-Optimierung	197
9.2.3.4.	Zusätzliches Befehlspeicher	197
9.2.3.5.	Dynamische Sprungvorhersage	197
9.2.3.6.	Cache für Sprünge	198
9.3.	Behandlung von Interrupts	199
10.	CISC-Rechner	201
10.1.	Allgemeine Charakterisierung	201
10.2.	Beispiele	201
10.2.1.	IBM 360/370	202
10.2.2.	Intel 8086	203
10.2.3.	Intel 80386	207
10.2.3.1.	Aufbau	208
10.2.3.2.	Speicheradressierung	210
10.2.4.	Motorola 68030	214
11.	RISC-Rechner (reduced instruction set computer, RISC)	219
11.1.	Einleitung	219
11.2.	Beschleunigung der Maschinen	220
11.3.	Kennzeichen der RISC-Architektur	222
11.4.	Beispiel SUN-SPARC-Processor	223

11.5.	RISC-CISC-Architektur	225
12.	Superskalare Rechner	227
12.1.	Einleitung	227
12.2.	Motorola MPC 601 - Power PC (1993) - Befehlspipelining; MMU an Bord -	228
12.3.	Digital Equipment Alpha 21064 (1992) - 64-Bit-Register, Programm- und Datencache -	230
12.4.	MIPS R 10000 (1995) - ANDES-Architektur -	232
12.5.	AMD K 6 (1997) - x 86 RISC/CISC-Architektur, MMX execution unit -	234
12.6.	VLIW-Rechner	237
13.	Sprachunterstützende Architekturen	239
13.1.	Einleitung	239
13.2.	Unterstützung spezieller Softwarekonstruktionen	240
13.2.1.	Unterstützung für Semaphore	240
13.2.2.	Unterstützung für Stacks	240
13.2.3.	Unterstützung für Warteschlangen	241
13.2.4.	Unterstützung für Prozeduraufrufe	241
13.2.5.	Unterstützung der Bildung von Skalarprodukten: digitale Signalprozessoren	242
13.2.6.	Unterstützung von Filteroperationen auf Matrizen - X-puter	244
13.3.	Lisp-Maschinen	249
13.4.	Unterstützung der Rekursion und objektorientierter Programmierung - WISC	251
13.5.	Architektur mit Typenkennung	254
13.5.1.	Tags	254
13.5.2.	Datentyp-Architekturen	257
13.5.2.1.	DRAMA-Architektur	257
13.5.2.2.	STARLET-Maschine (Giloj 1982)	259
13.5.2.3.	Variablenreferenzierung im STARLET	260
13.5.2.4.	Vektoroperationen auf der STARLET	261
 Anhang		
	Literatur	265